

THIN-FILM TRANSISTOR AND ITS MANUFACTURE

Patent Number: JP2000286423
Publication date: 2000-10-13
Inventor(s): KAWAKITA TETSUO; KURAMASU KEIZABURO; IKUTA SHIGEO
Applicant(s): MATSUSHITA ELECTRIC IND CO LTD
Requested Patent: ☐ JP2000286423
Application Number: JP19990138152 19990519
Priority Number(s):
IPC Classification: H01L29/786; G02F1/136
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To facilitate the etchings of the semiconductor film of a TFT when forming its contact holes, by forming its thicker silicon films than its channel region only on the regions and the vicinities thereof wherewith its source and drain electrodes are contacted.

SOLUTION: After forming on the whole surface of a glass substrate 1 an SiO₂ film 2 of an undercoat, thicker silicon films 3 than the channel region of a TFT are formed only on the vicinities of the positions of the SiO₂ film 2 wherein the source and drain electrodes of the TFT are formed. Then, after forming a silicon film 4 only on the position for forming therein the TFT, a gate insulation film 5 is formed on the whole surface of the glass substrate 1. Subsequently, after forming a gate electrode 6 on the predetermined position of the gate insulation film 5, an interlayer film 7 is so formed as to cover therewith the gate electrode 6. Further, by etching the interlayer film 7 and the gate insulation film 5, contact holes 9 are formed to form source and drain electrodes 10, 11 in the contact holes 9.

Data supplied from the esp@cenet database - l2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-286423

(P2000-286423A)

(43)公開日 平成12年10月13日 (2000. 10. 13)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 6 U 2 H 0 9 2
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136	5 0 0 5 F 1 1 0
		H 0 1 L 29/78	6 1 7 L

審査請求 有 請求項の数40 O L (全 20 頁)

(21)出願番号 特願平11-138152

(22)出願日 平成11年5月19日 (1999. 5. 19)

(31)優先権主張番号 特願平10-143892

(32)優先日 平成10年5月26日 (1998. 5. 26)

(33)優先権主張国 日本 (J P)

(31)優先権主張番号 特願平11-19535

(32)優先日 平成11年1月28日 (1999. 1. 28)

(33)優先権主張国 日本 (J P)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 河北 哲郎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 倉増 敬三郎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100101823

弁理士 大前 要

最終頁に続く

(54)【発明の名称】 薄膜トランジスタ及びその製造方法

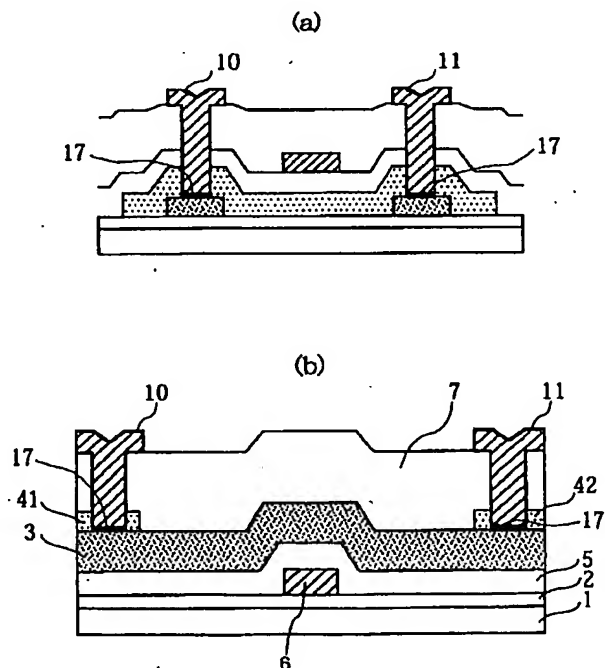
(57)【要約】

(1) 近年の大型かつ画素密度の高い大型液晶パネル等に使用される小さな薄膜トランジスタのソース及びドレイン電極用のコンタクトホール形成において、エッチング不足による絶縁膜残り、あるいはオーバーエッチングによる半導体層の消失が発生するのを防止する。

(2) ソース電極、ドレイン電極の半導体層との確実な電気的接触を図ること。

【解決手段】 (1) コンタクトホール部のシリコン膜を二層構成等としてあらかじめ厚く形成する。

(2) 電極金属と半導体間にシリサイド層を設ける。



【特許請求の範囲】

【請求項1】 チャネル領域、ソース領域及びドレイン領域となる半導体薄膜と、層間絶縁膜と、ゲート絶縁膜と、ボトムゲート型ならば層間絶縁膜にトップゲート型ならばこれに加えてゲート絶縁膜にも形成されたコンタクトホールを介して半導体薄膜に接続されるソース電極及びドレイン電極とを有する基板上に形成された薄膜トランジスタの製造方法であって、

上記半導体薄膜の少なくともソース電極及びドレイン電極と接続するためのコンタクトホールの形成される領域をチャネル領域よりも厚く形成する非チャネル領域増厚形成ステップを有していることを特徴とする薄膜トランジスタの製造方法。

【請求項2】 前記非チャネル領域増厚形成ステップは、

上記半導体薄膜の少なくともソース電極及びドレイン電極と接する領域を複数回の成膜工程により他部より厚く形成する複数回成膜ステップであることを特徴とする請求項1記載の薄膜トランジスタの製造方法。

【請求項3】 基板上のソース電極及びドレイン電極に対応した位置のみに第1の半導体薄膜を形成する第1半導体薄膜形成ステップと、

上記形成された第1の半導体薄膜を覆って第2の半導体薄膜を薄膜トランジスタ形成部に選択的に形成する第2半導体薄膜形成ステップと、

上記形成された第2の半導体薄膜を覆ってゲート絶縁膜を形成するゲート絶縁膜形成ステップと、

上記形成されたゲート絶縁膜の上部にゲート電極を形成するゲート電極形成ステップと、

上記形成されたゲート絶縁膜とゲート電極を覆って層間絶縁膜を形成する層間絶縁膜形成ステップと、

上記形成されたゲート絶縁膜及び層間絶縁膜のソース電極、ドレイン電極に対応した位置にドライエッチングにてコンタクトホールを形成するコンタクトホール形成ステップと、

上記形成されたコンタクトホール内に上記半導体薄膜に接続されたソース電極、ドレイン電極を形成する電極形成ステップとを有していることを特徴とする薄膜トランジスタの製造方法。

【請求項4】 基板上の所定位置にゲート電極を形成するゲート電極形成ステップと、

上記形成されたゲート電極を覆ってゲート絶縁膜を形成するゲート絶縁膜形成ステップと、

基板上若しくはゲート絶縁膜上のソース電極及びドレイン電極に対応した位置のみに第1の半導体薄膜を形成する第1半導体薄膜形成ステップと、

上記形成された第1の半導体薄膜を覆って第2の半導体薄膜を薄膜トランジスタ形成部に選択的に形成する第2半導体薄膜形成ステップと、

上記形成された第2半導体薄膜を覆って層間絶縁膜を形

成する層間絶縁膜形成ステップと、

上記形成された層間絶縁膜のソース電極、ドレイン電極に対応した位置にドライエッチングにてコンタクトホールを形成するコンタクトホール形成ステップと、

上記形成されたコンタクトホール内に上記半導体薄膜に接続されたソース電極、ドレイン電極を形成する電極形成ステップとを有していることを特徴とする薄膜トランジスタの製造方法。

【請求項5】 基板上の所定の位置に第1の半導体薄膜を形成する第1半導体薄膜形成ステップと、

上記形成された第1の半導体薄膜上のソース電極及びドレイン電極に対応した位置のみに第2の半導体薄膜を形成する第2半導体薄膜形成ステップと、

上記形成された第1と第2の半導体薄膜を覆ってゲート絶縁膜を形成するゲート絶縁膜形成ステップと、

上記形成されたゲート絶縁膜の上部にゲート電極を形成するゲート電極形成ステップと、

上記形成されたゲート絶縁膜とゲート電極を覆って層間絶縁膜を形成する層間絶縁膜形成ステップと、

上記形成されたゲート絶縁膜及び層間絶縁膜のソース電極、ドレイン電極に対応した位置にドライエッチングにてコンタクトホールを形成するコンタクトホール形成ステップと、

上記形成されたコンタクトホール内に上記半導体薄膜に接続されたソース電極、ドレイン電極を形成する電極形成ステップとを有していることを特徴とする薄膜トランジスタの製造方法。

【請求項6】 基板上の所定位置にゲート電極を形成するゲート電極形成ステップと、

上記形成されたゲート電極を覆ってゲート絶縁膜を形成するゲート絶縁膜形成ステップと、

上記形成されたゲート電極を覆って第1の半導体薄膜を形成する第1半導体薄膜形成ステップと、

上記形成された第1の半導体薄膜上のソース電極及びドレイン電極に対応した位置のみに第2の半導体薄膜を形成する第2半導体薄膜形成ステップと、

上記形成された第2半導体薄膜を覆って層間絶縁膜を形成する層間絶縁膜形成ステップと、

上記形成された層間絶縁膜のソース電極、ドレイン電極に対応した位置にドライエッチングにてコンタクトホールを形成するコンタクトホール形成ステップと、

上記形成されたコンタクトホール内に上記半導体薄膜に接続されたソース電極、ドレイン電極を形成する電極形成ステップとを有していることを特徴とする薄膜トランジスタの製造方法。

【請求項7】 基板上に半導体薄膜を本来必要とされる厚さよりも厚く形成する半導体薄膜形成ステップと、

上記半導体薄膜のソース電極及びドレイン電極に対応した領域のみを残して他の領域を本来の厚さとなるよう薄く加工する薄膜化ステップと、

上記加工された半導体薄膜を覆ってゲート絶縁膜を形成するゲート絶縁膜形成ステップと、

上記形成されたゲート絶縁膜の上部にゲート電極を形成するゲート電極形成ステップと、

上記形成されたゲート電極とゲート絶縁膜を覆って層間絶縁膜を形成する層間絶縁膜形成ステップと、

上記形成されたゲート絶縁膜と層間絶縁膜のソース電極、ドレイン電極に対応した位置にドライエッチングにてコンタクトホールを形成するコンタクトホール形成ステップと、

上記形成されたコンタクトホール内に上記半導体薄膜に接続されたソース電極、ドレイン電極を形成する電極形成ステップとを有していることを特徴とする薄膜トランジスタの製造方法。

【請求項 8】 基板上の所定位置にゲート電極を形成するゲート電極形成ステップと、

上記形成されたゲート電極を覆ってゲート絶縁膜を形成するゲート絶縁膜形成ステップと、

上記形成されたゲート電極を覆って半導体薄膜を本来必要とされる厚さよりも厚く形成する半導体薄膜形成ステップと、

上記半導体薄膜のソース電極及びドレイン電極に対応した領域のみを残して他の領域を本来の厚さとなるよう薄く加工する薄膜化ステップと、

上記加工された半導体薄膜を覆って層間絶縁膜を形成する層間絶縁膜形成ステップと、

上記形成された層間絶縁膜のソース電極、ドレイン電極に対応した位置にドライエッチングにてコンタクトホールを形成するコンタクトホール形成ステップと、

上記形成されたコンタクトホール内に上記半導体薄膜に接続されたソース電極、ドレイン電極を形成する電極形成ステップとを有していることを特徴とする薄膜トランジスタの製造方法。

【請求項 9】 チャネル領域、ソース領域及びドレイン領域となる半導体薄膜と、層間絶縁膜と、ゲート絶縁膜と、ボトムゲート型ならば層間絶縁膜にトップゲート型ならばこれに加えてゲート絶縁膜に形成されたコンタクトホールを介して半導体薄膜に接続されるソース電極及びドレイン電極とを有する基板上に形成された薄膜トランジスタであって、

上記半導体薄膜のソース電極及びドレイン電極と接続するためのコンタクトホールの形成される領域の半導体薄膜をチャネル領域よりも厚く形成した非チャネル領域増厚形成半導体部を有していることを特徴とする薄膜トランジスタ。

【請求項 10】 上記半導体薄膜は、シリコン、シリコン・ゲルマニウム若しくはシリコン・ゲルマニウム・炭素からなるシリコン系統半導体薄膜であることを特徴とする請求項 9 記載の薄膜トランジスタ。

【請求項 11】 チャネル領域、ソース領域及びドレイン領域を備えた半導体膜と、ゲート電極と、ソース電極と、ドレイン電極とを基板上に有する薄膜トランジスタの製造方法であって、

上記半導体膜と上記ソース電極及び上記ドレイン電極との間にシリサイド膜を形成するシリサイド膜形成ステップを有することを特徴とする薄膜トランジスタの製造方法。

【請求項 12】 前記シリサイド膜形成ステップに先立ち、

形成するシリサイドとして、チタン、ニッケル、プラチナ若しくはコバルトから選ばれた少なくとも 1 種類のシリサイドを選定するシリサイド金属選定ステップを有していることを特徴とする請求項 11 記載の薄膜トランジスタの製造方法。

【請求項 13】 上記ソース電極及びドレイン電極は各々複数の金属層からなる複数層ソース電極及び複数層ドレイン電極であり、

前記シリサイド層形成ステップに先立ち、複数層ソース電極及び複数層ドレイン電極の形成される部分に、チタン、ニッケル、プラチナ若しくはコバルトから選ばれた少なくとも 1 種類の金属膜を上記シリコン膜上に複数層ソース電極及び複数層ドレイン電極の最下層の層として形成する最下層膜形成ステップを有し、

前記シリサイド膜形成ステップは、上記形成された最下層の膜の金属の下部とシリコン膜のシリコンとを反応させる反応小ステップとを有していることを特徴とする請求項 11 記載の薄膜トランジスタの製造方法。

【請求項 14】 基板上の所定の位置にシリコン膜を形成するシリコン膜形成ステップと、

上記形成されたシリコン膜上全面にゲート絶縁膜を形成するゲート絶縁膜形成ステップと、

ソース電極及びドレイン電極に対応した位置の上記形成されたゲート絶縁膜を除去した後、全面に第 1 の金属膜を形成する第 1 金属膜形成ステップと、

上記形成された第 1 の金属膜と同じくシリコン膜が直接接している部分で熱で両者を反応させてシリサイド層を形成するシリサイド層形成ステップと、

上記第 1 の金属膜を取り去り、その後上記シリコン膜上ゲート電極に対応した位置の上に層間絶縁膜用のエッチングガスに侵されない金属からなる第 2 の金属膜を形成し、更にその後全面に層間絶縁膜を形成するゲート電極形成考慮層間絶縁膜形成ステップと、

上記シリサイド層及び上記第 2 の金属膜をエッチングストッパー層として、上記層間絶縁膜をドライエッチングしてゲート電極、ドレイン電極、ソース電極に対応した位置にコンタクトホールを形成するコンタクトホール形成ステップと、

その後全面に第 3 の金属膜を形成し、不必要な部分を除

去してゲート電極、ドレイン電極、ソース電極若しくはそれらの最下層の金属層を形成する電極等形成ステップとを有していることを特徴とする薄膜トランジスタの製造方法。

【請求項15】 前記シリコン膜形成ステップは、650 Å以下の膜厚に形成する薄シリコン膜形成ステップであり、前記コンタクトホール形成ステップは、底部の直径が4 μm以下に形成する小径コンタクトホール形成ステップであることを特徴とする請求項14記載の薄膜トランジスタの製造方法。

【請求項16】 前記コンタクトホール形成ステップに先立ち、

上記第3の金属膜の材料として、上記第1の金属膜と同じ金属を材料として選定する同一金属選定ステップを有していることを特徴とする請求項15記載の薄膜トランジスタの製造方法。

【請求項17】 基板上の所定の位置にゲート電極を形成するゲート電極形成ステップと、上記形成されたゲート電極を覆ってゲート絶縁膜を形成するゲート絶縁膜形成ステップと、上記ゲート絶縁膜上の所定の位置にシリコン膜を形成するシリコン膜形成ステップと、ソース電極及びドレイン電極に対応した位置のみに第1の金属膜を形成する第1金属膜形成ステップと、上記形成された第1の金属膜と同じくシリコン膜が直接接している部分で熱で両者を反応させてシリサイド層を形成するシリサイド層形成ステップと、シリサイド層の形成されたシリコン膜上に全面に層間絶縁膜を形成する層間絶縁膜形成ステップと、上記シリサイド層をエッチングストッパー層として、上記層間絶縁膜をドライエッチングしてドレイン電極、ソース電極に対応した位置にコンタクトホールを形成するコンタクトホール形成ステップと、その後全面に第2の金属膜を形成し、不必要な部分を除去してドレイン電極、ソース電極若しくはそれらの最下層の金属層を形成する電極等形成ステップとを有していることを特徴とする薄膜トランジスタの製造方法。

【請求項18】 前記シリコン膜形成ステップは、650 Å以下の膜厚に形成する薄シリコン膜形成ステップであり、前記コンタクトホール形成ステップは、底部の直径が4 μm以下に形成する小径コンタクトホール形成ステップであることを特徴とする請求項17記載の薄膜トランジスタの製造方法。

【請求項19】 前記コンタクトホール形成ステップに先立ち、上記第2の金属膜の材料として、上記第1の金属膜と同じ金属を材料として選定する同一金属選定ステップを有していることを特徴とする請求項18記載の薄膜トラン

ジスタの製造方法。

【請求項20】 基板上の所定の位置にシリコン膜を形成するシリコン膜形成ステップと、

上記形成されたシリコン膜上のソース電極及びドレイン電極に対応した位置のみに第1の金属膜を形成した後、この第1の金属膜と上記シリコン膜を反応させて両膜の間にシリサイド層を形成するシリサイド層形成ステップと、

その後、上記シリコン膜上に全面に絶縁膜、次いで絶縁膜用のエッチングガスに侵されない金属からなる第2の金属膜を形成する絶縁膜金属膜形成ステップと、

上記絶縁膜上に形成された第2の金属膜をゲート電極に対応した位置のみに残した後、全面に層間絶縁膜を形成するゲート電極層間絶縁膜形成ステップと、

上記形成されたシリサイド層及びゲート電極に対応した位置のみに残された第2の金属膜をエッチングストッパー層として上記層間絶縁膜をドライエッチングしてゲート電極、ドレイン電極、ソース電極に対応した位置にコンタクトホールを形成するコンタクトホール形成ステップと、

その後全面に第3の金属膜を形成し、不必要な部分を除去してゲート電極、ドレイン電極、ソース電極若しくはそれらの最下層の金属層を形成する電極等形成ステップとを有していることを特徴とする薄膜トランジスタの製造方法。

【請求項21】 前記シリコン膜形成ステップは、650 Å以下の膜厚に形成する薄シリコン膜形成ステップであり、前記コンタクトホール形成ステップは、底部の直径が4 μm以下に形成する小径コンタクトホール形成ステップであることを特徴とする請求項20記載の薄膜トランジスタの製造方法。

【請求項22】 前記コンタクトホール形成ステップに先立ち、上記第3の金属膜の材料として、上記第1の金属膜と同じ金属を材料として選定する同一金属選定ステップを有していることを特徴とする請求項21記載の薄膜トランジスタの製造方法。

【請求項23】 チャネル領域、ソース領域及びドレイン領域となるシリコン薄膜と、層間絶縁膜と、ゲート絶縁膜と、層間絶縁膜とゲート絶縁膜に形成されたコンタクトホール内のシリサイド層を介してシリコン薄膜に接続されるソース電極及びドレイン電極とを有する基板上に形成された薄膜トランジスタの製造方法であって、コンタクトホール内にシリサイドの形成された後、ゲート絶縁膜上ゲート電極に対応する位置に、上記シリサイドを形成する材料金属と同一の金属で多層構造からなるゲート電極の最下層となる所定厚さの第1の金属膜を形成する第1金属膜形成ステップと、上記第1の金属膜上に、多層構造からなるゲート電極の

第2層となる所定厚さの、そして上記層間絶縁膜用のエッチングガスに侵されない金属からなる第2の金属膜を形成する第2金属膜形成ステップと、

上記形成された第1の金属膜と第2の金属膜の不必要な部分を除去して、第1の金属膜が第2の金属膜に対してソース電極側、ドレイン電極側の少なくとも一方へ少し食み出した形のゲート電極兼マスクを形成するゲート電極兼マスク形成ステップと、

上記ゲート電極兼マスクの形成された半製品状の薄膜トランジスタに基板上部側より所定の不純物イオンを注入するドーピングステップとを有していることを特徴とする薄膜トランジスタの製造方法。

【請求項24】 厚さ650Å以下にシリコン薄膜を形成する薄シリコン膜形成ステップと、

最下部の内直径が4μm以下のコンタクトホールを形成する小径コンタクトホール形成ステップとを有していることを特徴とする請求項23記載の薄膜トランジスタの製造方法。

【請求項25】 上記シリサイドを形成し、また第1の金属膜を形成する金属材料として、シリコンとの反応を制御し易くかつドーピング時の水素の侵入防止能力の高い金属を選定する金属材料選定ステップを有していることを特徴とする請求項24記載の薄膜トランジスタの製造方法。

【請求項26】 チャネル領域、ソース領域及びドレイン領域となるシリコン薄膜と、層間絶縁膜と、ゲート電極と、ゲート絶縁膜と、層間絶縁膜とゲート絶縁膜に形成されたコンタクトホール内のシリサイド層を介してシリコン薄膜に接続されるソース電極及びドレイン電極とを有する基板上に形成された薄膜トランジスタの製造方法であって、

ゲート絶縁膜上のゲート電極に対応する位置に上記シリサイドを形成する材料金属と同一の金属で多層構造からなるゲート電極の最下層となる所定の厚さの第1の金属膜を形成するゲート電極第1金属膜形成ステップと、上記ゲート電極の位置に形成された第1の金属膜上に、ソース電極側、ドレイン電極側の少くも一方に少し食み出した形で所定の厚さのシリコン膜を形成するシリコン膜形成ステップと、

上記シリサイド層の未だ形成されていないコンタクトホール内シリコン膜上にシリサイドを形成するための金属膜を形成するシリサイド用金属膜形成ステップと、コンタクトホール内にシリサイド層を形成し、併せてゲート電極の位置の第1の金属膜とその上部、両側部のシリコン膜間にシリサイド層を形成するシリサイド層形成ステップと、

上記ゲート電極部にシリサイド層の形成された半製品上の薄膜トランジスタにゲート電極部の第1の金属膜、シリサイド層、シリコン層をマスクとして基板上部側より所定の不純物イオンを注入するドーピングステップとを

有していることを特徴とする薄膜トランジスタの製造方法。

【請求項27】 厚さ650Å以下にシリコン薄膜を形成する薄シリコン膜形成ステップと、

最下部の内直径が4μm以下のコンタクトホールを形成する小径コンタクトホール形成ステップとを有していることを特徴とする請求項26記載の薄膜トランジスタの製造方法。

【請求項28】 上記シリサイドを形成し、また第1の金属膜を形成する金属材料として、シリコンとの反応を制御し易くかつドーピング時の水素の防止能力の高い金属を選定する金属材料選定ステップを有していることを特徴とする請求項27記載の薄膜トランジスタの製造方法。

【請求項29】 チャネル領域、ソース領域及びドレイン領域となる半導体薄膜と、層間絶縁膜と、ゲート電極と、ゲート絶縁膜と、ボトムゲート型ならば層間絶縁膜にトップゲート型ならばこれに加えてゲート絶縁膜に形成されたコンタクトホールを介して半導体薄膜に接続されるソース電極及びドレイン電極とを有する基板上に形成された薄膜トランジスタであって、

上記半導体薄膜のソース電極及びドレイン電極と接続するためのコンタクトホールの形成される領域の半導体薄膜とソース電極及びドレイン電極間にシリサイド層を有していることを特徴とする薄膜トランジスタ。

【請求項30】 上記ソース電極及びドレイン電極は各々、

多層構造か否かは別にして、ともかく各々上記ソース領域、ドレイン領域上の前記シリサイド層に接する部分は、シリサイドの原料金属と同一の金属からなる材料金属統一型ソース電極、材料金属統一型ドレイン電極であることを特徴とする請求項29記載の薄膜トランジスタ。

【請求項31】 上記シリサイド層は、チタン、ニッケル、プラチナ若しくはコバルトのシリサイドであることを特徴とする請求項30記載の薄膜トランジスタ。

【請求項32】 上記シリコン薄膜は、その厚さが650Å以下のものであり、上記コンタクトホールは、その最下部の直径が4μm以下であることを特徴とする請求項31記載の薄膜トランジスタ。

【請求項33】 上記シリサイド層は、チタン、ニッケル、プラチナ若しくはコバルトのシリサイドであることを特徴とする請求項29記載の薄膜トランジスタ。

【請求項34】 上記シリコン薄膜は、その厚さが650Å以下のものであり、上記コンタクトホールは、その最下部の直径が4μm以下であることを特徴とする

請求項33記載の薄膜トランジスタ。

【請求項35】 チャネル領域、ソース領域及びドレイン領域となる半導体薄膜と、層間絶縁膜と、ゲート電極と、ゲート絶縁膜と、層間絶縁膜とゲート絶縁膜に形成されたコンタクトホールを介して半導体薄膜に接続されるソース電極及びドレイン電極とを有する基板上に形成された、そしてLDD構造を有する薄膜トランジスタであって、

上記半導体薄膜のソース電極及びドレイン電極と接続するためのコンタクトホールの形成される領域の半導体薄膜とソース電極及びドレイン電極間にシリサイド層を有し、

上記ゲート電極は、多層構造であり、その最下層は前記シリサイド層を構成する金属と同一の金属層からなり、その上部層は上記下層の金属層よりもソース領域側若しくはドレイン領域側の少なくとも一方へ引き込んだ形状の金属層からなるマスク兼用多層ゲート電極であり、上記半導体薄膜は、前記マスク兼用多層ゲート電極の遮蔽能力に対応したLDD構造のマスク兼用多層ゲート電極対応LDD構造薄膜であることを特徴とする薄膜トランジスタ。

【請求項36】 上記ゲート電極、ソース電極及びドレイン電極のシリサイドは、チタン、ニッケル、プラチナ若しくはコバルトのシリサイドであることを特徴とする請求項35記載の薄膜トランジスタ。

【請求項37】 上記半導体薄膜は、その厚さが650Å以下のものであり、上記ソース電極及びドレイン電極は、各々シリサイド層に接する部分の直径が4μm以下の細ソース電極及び細ドレイン電極であることを特徴とする請求項36記載の薄膜トランジスタ。

【請求項38】 チャネル領域、ソース領域及びドレイン領域となる半導体薄膜と、層間絶縁膜と、ゲート電極と、ゲート絶縁膜と、層間絶縁膜とゲート絶縁膜に形成されたコンタクトホールを介して半導体薄膜に接続されるソース電極及びドレイン電極とを有する基板上に形成された、そしてLDD構造を有する薄膜トランジスタであって、

上記半導体薄膜のソース電極及びドレイン電極と接続するためのコンタクトホールの形成される領域の半導体薄膜とソース電極及びドレイン電極間にシリサイド層を有し、

上記ゲート電極は、多層構造であり、その最下層は前記シリサイド層を構成する金属と同一の金属層からなり、その上部層は上記下層の金属層よりもソース領域側若しくはドレイン領域側の少なくとも一方へ食み出したシリサイド層を有してなるマスク兼用多層ゲート電極であり、上記半導体薄膜は、前記マスク兼用多層ゲート電極の遮蔽能力に対応したLDD構造のマスク兼用多層ゲート電

極対応LDD構造薄膜であることを特徴とする薄膜トランジスタ。

【請求項39】 上記ゲート電極、ソース電極及びドレイン電極のシリサイドは、チタン、ニッケル、プラチナ若しくはコバルトのシリサイドであることを特徴とする請求項38記載の薄膜トランジスタ。

【請求項40】 上記半導体層は、その厚さが650Å以下のものであり、上記ソース電極及びドレイン電極は、各々シリサイド層に接する部分の直径が4μm以下の細ソース電極及び細ドレイン電極であることを特徴とする請求項39記載の薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタに関し、特に液晶ディスプレイ等に用いられる基板上で所定の配列に形成された薄膜トランジスタ素子やその製造方法に関する。

【0002】

【従来の技術】現在、マルチメディア機器や携帯、通信機器には非常に多くの液晶表示装置が用いられてきている。そして、これらの電子機器に採用されている液晶表示装置は、増々高精細化、すなわち画素の微細、高性能化が要求されるようになっている。

【0003】特に、薄膜トランジスタ（素子、以下TFTとも記す）を用いた液晶表示部では、画素部やその駆動回路を構成するTFTのサイズの縮小化が進められてきている。

【0004】以下、従来用いられてきている画素部のTFTのうち、トップゲートと言われている型の構造の一例を図1に示す。

【0005】本図に示すように、ガラス基板1上にはアンダーコート層としてのSiO₂膜2が形成されており、その上にアモルファスシリコンをレーザーアニールにより多結晶化したシリコンからなる半導体層（材料）3が形成されている。そしてチャネルを形成する部分にゲート絶縁膜5が形成され、その上にゲート電極6が形成され、更にその上に層間絶縁膜7が形成されている。なお、この層間絶縁膜の役割は、基板上に多数形成された各トランジスタ素子のソース電極線、ドレイン電極線と半導体層が接触するのを防止すること、画素電極等のショートを防止すること等にある。

【0006】また、ソース電極とドレイン電極に挟まれた領域たるチャネルの両端部の層間絶縁膜に、半導体層3に至るまでのコンタクトホール9が形成され、この部分に金属からなるソース電極10とドレイン電極11が形成されている。

【0007】そして、ソース電極とドレイン電極に接触する部分の半導体層31、32には、イオンドーピング

等によって3価若しくは5価の不純物原子がドーピングされてその表面層が低抵抗化されている。

【0008】なおこれは、半導体層と金属層が接触する際に生じる電氣的障壁を大きく緩和させてコンタクト抵抗の低減を図るためである。

【0009】

【発明が解決しようとする課題】しかしながら、本図1に示す構造では、今後さらにTFTの微細化とパネルサイズの大型化が進んだ場合に、以下に説明するような問題が生じる。

【0010】まず構造の面からであるが、微細化が進むと素子全体の寸法が小さくなるので、半導体層と金属層の接触面積も小さくなる。従って、この逆にコンタクト抵抗が大きくなる。ところで、このコンタクト抵抗は薄膜トランジスタの駆動能力に大きく影響し、この値が大きくなると駆動能力が低下する。

【0011】そして、将来のTFTの益々の小型化のものとこのような傾向が増大すると、基板上にTFTを配列した場合、信号を供給する側から遠い位置にあるトランジスタは動作せず、このため画素に十分な電荷が充電できず、画像が映らないといった現象が現れうる。

【0012】次に、製造の面からであるが、コンタクトホール形成が困難となってくる。

【0013】以下、図2を参照しながらこれを説明する。

【0014】(a)多結晶化された半導体薄膜3上にゲート絶縁膜5が形成され、その上にゲート電極6、層間絶縁膜7が形成されている。

【0015】(b)ソース電極とドレイン電極を形成するため、コンタクトホールを形成することとなるが、TFTの寸法が小さくなるに伴い、このコンタクトホールの直径も10 μ m以下、近年は数 μ mを目指し、将来は1 μ m程度となると予想される。従って、コンタクトホールをウエットエッチングで形成するのはその直径の寸法出し等の面から困難(現時点では勿論、近い将来においても、どうしても2、3 μ m程度の誤差が生じる)であり、ドライエッチングで行なうこととなる。

【0016】そして、そのためには、まず各電極を形成する領域に開口80を有したレジストパターン8を形成する。

【0017】(c)この開口下の層間絶縁膜及びゲート絶縁膜をエッチングガスで除去していくこととなる。なおこの際用いるガス21は、例えばCF₄とCHF₃とO₂との混合ガスであり、反応性イオンエッチング(RIE)を行う。

【0018】ところで、このエッチングに使用するガスは、Si系〔その他、Si-Ge(最大30%)、Si-Ge-C(最大5%)〕の材料をエッチングするとき用いられているものであり、層間絶縁膜やゲート酸化膜等の酸化膜とSiとの両方ともエッチングする。従っ

て、ソース電極やドレイン電極を形成するためのコンタクトホールを作るときには、酸化膜とSiの選択比を高くした条件(前者がエッチングしやすい条件)を設定する必要がある。

【0019】しかし、完全に酸化膜だけをエッチングし、Siはエッチングしないような条件を設定することは、両物質が化学的に近い性質を有するため、本願出願時点はもとより、近い将来においても困難である。

【0020】その結果、基板全体にわたってコンタクトホール底部に層間絶縁膜とゲート絶縁膜として形成された酸化膜5、71を全く残さずきれいにエッチングするためには、その下の半導体層(Si)まで多少エッチングする必要がある。

【0021】しかしながら、近年のTFTへの小型化への要請のみならず、ガラス基板上でレーザー照射によりアモルファスシリコンを熔融、再結晶すること、またこの際TFTの電界効果移動度の向上等の性能の面からできる限り大きい結晶、望むらくは単結晶化したいという要請とから、このシリコン層は1000Å以下、望むらくは300~600Å、特に500Å前後と薄膜化しつつある。

【0022】従って、このエッチングの際、酸化膜の厚みのばらつきやエッチングレートのばらつきが大きいと、半導体層がエッチングされすぎて、図2の(d)に示すように薄くなったり、ひどい場合には消失したりする箇所30が発生したりしかねない。

【0023】また、薄くなったりしないまでも、当該コンタクトホール底部の半導体層はダメージを受けて高抵抗層33を形成したりする。

【0024】そうなると、コンタクトホール底部の直径が小さい場合に特にそうであるが、下部の半導体層とソース電極やドレイン電極とのコンタクト抵抗が非常に高くなったり、導通が取れなくなったりしてコンタクト不良を引き起こす。

【0025】特に、近年の液晶パネルの大型化、この一方で画素の密度の増大等に伴うTFTの微細化と個数の増大化のもと、この問題は重大である。

【0026】といって、半導体層を厚く形成したり、エッチングに際して絶縁物にのみ、そして良好に作用する何か他のガスを使用するのは、現時点は勿論、近い将来も困難である。

【0027】また、ボトムゲート型のトランジスタにおいても同様の問題がある。

【0028】このため、何れの型のTFT、トランジスタであっても、その微細化を図るに際して、コンタクト抵抗が高くならず、しかもコンタクトホール形成時のエッチングも容易なTFTやその製造方法の開発が望まれていた。

【0029】

【課題を解決するための手段】本発明は、以上の課題に

鑑みなされたものであり、第1の発明群は、半導体膜のソース電極及びドレイン電極と接する領域やその近傍のみをチャンネル領域よりも厚く形成することとしている。これにより、TFTの素子としての性能の優秀性を確保しつつドライエッチングで広い基板にコンタクトホール形成する際に、多少のオーバーエッチングで半導体層が消失することを防止し、併せて低いコンタクト抵抗を確保している。

【0030】また、第2の発明群は、半導体膜とソース電極及びドレイン電極との間にシリサイド膜を形成することとしている。これにより各電極と半導体膜の電気的接触を確実にし、併せて層間絶縁膜のエッチング時にエッチングストッパーとしての役を担わせている。

【0031】具体的には、以下の構成としている。

【0032】第1の発明群の請求項1においては、チャンネル領域、ソース領域及びドレイン領域となる半導体薄膜と、層間絶縁膜と、ゲート絶縁膜と、ボトムゲート型ならば層間絶縁膜にトップゲート型ならばこれに加えてゲート絶縁膜にも形成されたコンタクトホールを介して（利用して）半導体薄膜に接続されるソース電極及びドレイン電極とを有する基板上に形成された薄膜トランジスタの製造方法であって、半導体薄膜の少なくともソース電極及びドレイン電極と接続するためのコンタクトホールの形成される領域（含む、その近傍1〜2 μ mの周囲。なお、現時点では製造技術上の制約もあり、この場合やさらに広い場合が多いであろう）をチャンネル領域よりも例えば2（1.5〜2.5、好ましくは1.15〜1.85）倍程度あるいは300（200〜400、好ましくは270〜330） \AA 程度厚く形成する非チャンネル領域増厚形成ステップを有している。

【0033】なお、念のため記載するならば他の発明でもそうであるが、基板上の半導体に対して、TFTとして十分に作用する様に、水素の追い出し、レーザアニール、ダングリングボンドの結合、ドーピング等の処理が必要に応じて適宜なされるのは勿論である。

【0034】請求項2の発明においては、請求項1の発明の非チャンネル領域増厚形成ステップは、半導体薄膜の少なくともソース電極及びドレイン電極と接する領域を複数回（所要工数を少なくするため、原則は2回）の成膜工程により他部より厚く形成する複数回成膜ステップである。

【0035】請求項3の発明においては、基板上のソース電極及びドレイン電極に対応した位置のみに第1の半導体薄膜を形成する第1半導体薄膜形成ステップと、形成された第1の半導体薄膜を覆って第2の半導体薄膜を薄膜トランジスタ形成部のみに選択的に形成する第2半導体薄膜形成ステップと、形成された第2の半導体薄膜を覆ってゲート絶縁膜を形成するゲート絶縁膜形成ステップと、形成されたゲート絶縁膜の上部にゲート電極を形成するゲート電極形成ステップと、形成されたゲート

絶縁膜とゲート電極を覆って層間絶縁膜を形成する層間絶縁膜形成ステップと、形成されたゲート絶縁膜及び層間絶縁膜のソース電極、ドレイン電極に対応した位置にドライエッチングにて各素子毎2個のコンタクトホールを充分な精度寸法で形成するコンタクトホール形成ステップと、形成されたコンタクトホールを1個ずつ使用して、その内部に上記半導体薄膜に接続されたソース電極、ドレイン電極を各素子毎各1個形成する電極形成ステップとを有している。

【0036】請求項4の発明においては、請求項3の発明がトップゲート型の薄膜トランジスタを対象としているのに対して、ボトムゲート型の薄膜トランジスタを対象としてなされたものである。このため、ゲート電極の位置の相違のため、各ステップの順番等に多少の相違はあるものの、重要なステップは同じくなされ、同様の効果が発揮される。

【0037】請求項5の発明においては、基板上の所定の位置に第1の半導体薄膜を形成する第1半導体薄膜形成ステップと、形成された第1の半導体薄膜上のソース電極及びドレイン電極に対応した位置（勿論、多少の余裕を見て両電極の外周部にも形成する場合を含む）のみに第2の半導体薄膜を形成する第2半導体薄膜形成ステップと、形成された第1と第2の半導体薄膜を覆ってゲート絶縁膜を形成するゲート絶縁膜形成ステップと、形成されたゲート絶縁膜の上部にゲート電極を形成するゲート電極形成ステップと、形成されたゲート絶縁膜とゲート電極を覆って層間絶縁膜を形成する層間絶縁膜形成ステップと、形成されたゲート絶縁膜と層間絶縁膜のソース電極、ドレイン電極に対応した位置にドライエッチングにてコンタクトホールを形成するコンタクトホール形成ステップと、形成されたコンタクトホール内に半導体薄膜に接続されたソース電極、ドレイン電極を形成する電極形成ステップとを有している。

【0038】請求項6の発明においては、請求項5の発明がトップゲート型の薄膜トランジスタを対象としているのに対して、ボトムゲート型の薄膜トランジスタを対象としてなされたものである。このため、ゲート電極の位置の相違のため、各ステップの順番等に多少の相違はあるものの、重要なステップは同じくなされ、同様の効果が発揮される。

【0039】請求項7の発明においては、例えば14〜20インチ程度の液晶表示装置用のガラス基板上に半導体薄膜を本来必要とされる厚さよりも厚く形成する半導体薄膜形成ステップと、形成された半導体薄膜のソース電極及びドレイン電極に対応した領域のみを残して他の領域を本来の厚さとなるよう反応除去等して薄く加工する薄膜化ステップと、薄く加工された半導体薄膜を覆ってゲート絶縁膜を形成するゲート絶縁膜形成ステップと、形成されたゲート絶縁膜の上部にゲート電極を形成するゲート電極形成ステップと、形成されたゲート電極

とゲート絶縁膜を覆って層間絶縁膜を形成する層間絶縁膜形成ステップと、形成されたゲート絶縁膜と層間絶縁膜のソース電極、ドレイン電極に対応した位置にドライエッチングにてコンタクトホールを形成するコンタクトホール形成ステップと、形成されたコンタクトホール内に半導体薄膜に接続された(されることとなる)ソース電極、ドレイン電極を形成する電極形成ステップとを有している。

【0040】請求項8の発明においては、請求項7の発明がトップゲート型の薄膜トランジスタを対象としているのに対して、ボトムゲート型の薄膜トランジスタを対象としてなされたものである。このため、ゲート電極の位置の相違のため、各ステップの順番等に多少の相違はあるものの、重要なステップは同じくなされ、同様の効果が発揮される。

【0041】請求項9の発明においては、チャネル領域、ソース領域及びドレイン領域となる半導体薄膜と、層間絶縁膜と、ゲート絶縁膜と、ボトムゲートならば層間絶縁膜にトップゲートならばこれに加えてゲート絶縁膜にも形成されたコンタクトホールを介して半導体薄膜に接続されるソース電極及びドレイン電極とを有する基板上に形成された薄膜トランジスタであって、前述の各製造方法の発明で製造したため、半導体薄膜のソース電極及びドレイン電極と接続するためのコンタクトホールの形成される領域をチャネル領域の外周部よりも厚く形成した、非チャネル領域増厚形成半導体部を有していることを特徴としている。

【0042】なお、非晶質シリコンのレーザによるアニーリング時の均質性確保の面からは2倍程度あるいは300Å程度厚く形成するのが好ましいが、これは基板の大きさとドライエッチングの精度との兼ね合いとなる。

【0043】請求項10の発明においては、半導体薄膜は、絶縁材と同系統かつ液晶表示装置に使用されるシリコン、シリコン・ゲルマニウム若しくはシリコン・ゲルマニウム・炭素からなるシリコン系統半導体薄膜である。

【0044】また、本発明の第2の発明群の請求項11の発明においては、第1の発明群と同じ目的、用途の半導体素子の製造方法において、トップゲート型、ボトムゲート型いずれの型のトランジスタ素子であっても、ソース電極及びドレイン電極と半導体膜との間に、両者の電気的接続を確実にし、併せてコンタクトホール形成時の半導体膜の保護を図るために、いわば両電極の一部(最下層)としてのシリサイド層を設けている。

【0045】請求項12の発明においては、請求項11の発明のシリサイドとして、シリコンと反応の制御がし易い、しかもポリシリコンとはガラス基板の耐熱温度(約600℃)よりも低い温度でシリサイドを形成するチタン、ニッケル、プラチナ若しくはコバルト中から選定された金属の化合物を選定している。なお、クリスタ

ルシリコンの場合には、特別な触媒でも使用すれば別であるが、これらの金属であっても実用上必要なシリサイドを形成するためには、600℃以上の温度が必要である。

【0046】請求項13の発明においては、請求項11の発明のソース電極及びドレイン電極は各々複数の金属層からなる複数層ソース電極及び複数層ドレイン電極であり、シリサイド層形成ステップに先立ち、複数層ソース電極及び複数層ドレイン電極の形成される部分に、チタン、ニッケル、プラチナ若しくはコバルトから選ばれた少なくとも1種類の金属膜をシリコン膜上に複数層ソース電極及び複数層ドレイン電極の最下層の層として形成する最下層膜形成ステップを有し、シリサイド膜形成ステップは、形成された最下層の膜の金属の(少くも)下部とシリコン膜上部のシリコンとを確実に電気的に接続させるのを兼ねて反応させる反応小ステップとを有していることを特徴としている。

【0047】請求項14の発明においては、基板上の所定の位置にシリコン膜を形成するシリコン膜形成ステップと、形成されたシリコン膜上全面にゲート絶縁膜を形成するゲート絶縁膜形成ステップと、ソース電極及びドレイン電極に対応した位置(ここに、「対応した位置」とは、電極形成用のコンタクトホールの直径よりも多少広い位置も含む)の形成されたゲート絶縁膜を除去した後、全面に第1の金属膜を形成する第1金属膜形成ステップと、形成された第1の金属膜と同じくシリコン膜が直接接している部分で第1の金属とシリコンをガラス基板の耐熱温度に対して余裕のある温度で反応させてシリサイド層を形成するシリサイド層形成ステップと、ゲート絶縁膜上の第1の金属膜を取り去り、その後上記シリコン膜上のゲート電極に対応した位置に後述の層間絶縁膜用のエッチングガスに侵され難い金属からなる第2の金属膜を形成し、更にその後で全面に層間絶縁膜を形成するゲート電極形成考慮層間絶縁膜形成ステップと、シリサイド層及び第2の金属膜をエッチングストッパー層として層間絶縁膜をドライエッチングしてゲート電極、ドレイン電極、ソース電極に対応した位置のみにコンタクトホールを形成するコンタクトホール形成ステップと、その後全面にシリサイドと接触の良好な金属からなる第3の金属膜を形成し、不必要な部分は除去し、必要な部分のみ選択的にゲート電極、ドレイン電極、ソース電極若しくはそれらの最下層の金属層(上部は別の金属とする)を形成する電極等形成ステップとを有していることを特徴としている。

【0048】請求項15記載の発明においては、シリコン膜形成ステップは、シリサイドによる電気抵抗の低下の効果が大きい650Å以下の膜厚に形成する薄シリコン膜形成ステップであり、同じくコンタクトホール形成ステップは、底部の直径が4μm以下に形成する小径コンタクトホール形成ステップであることを特徴としてい

る。

【0049】請求項16記載の発明においては、コンタクトホール形成ステップに先立ち、第3の金属膜の材料として、電氣的接触向上のため第1の金属膜と同じ金属を材料として選定する同一金属選定ステップを有していることを特徴としている。

【0050】請求項17、同18、同19の発明においては、請求項14、同15、同16の発明がトップゲート型トランジスタを対象としてなされたのに対して、各々ボトムゲート型の薄膜トランジスタを対象としてなされたものである。このため、ゲート電極の位置の相違のため、トランジスタの製造に際しての各ステップの順番等に多少の相違はあるものの、重要なステップは同様になされ、同様の効果が発揮される。

【0051】請求項20の発明においては、基本的には請求項14の発明と同じであるが、基板上の所定の位置にシリコン膜を形成するシリコン膜形成ステップと、形成されたシリコン膜上のソース電極及びドレイン電極に対応した位置のみに第1の金属膜を形成した後、この第1の金属膜とシリコン膜を反応させて両膜の間にシリサイド層を形成するシリサイド層形成ステップと、その後シリコン膜上全面に絶縁膜、次いで絶縁膜用のエッチングガスに侵されない金属からなる第2の金属膜を形成する絶縁膜金属膜形成ステップと、絶縁膜上に形成された第2の金属膜をゲート電極に対応した位置のみに（選択的に）残した後、全面に層間絶縁膜を形成するゲート電極層間絶縁膜形成ステップとを有しているのが相違する。

【0052】請求項21、同22の発明においては、各々請求項15、同16の発明と同様の効果が発揮される。

【0053】請求項23の発明においては、シリサイドを形成する金属を下層、層間絶縁膜のエッチング時にストッパーとなる、そして電気抵抗の低い金属を上層として、ソース電極、ドレイン電極方向の断面が少くも一方で2段に変化するマスク兼用ゲート電極が形成される。そして、LDD構造の薄膜トランジスタとしての機能発揮のため、このマスク兼用ゲート電極をマスクとして不純物が注入される。またこのため、ゲート電極の各層の膜厚はその事を考慮して定められる。

【0054】請求項24、同25の発明においては、各々広く一般の薄膜トランジスタを対象としてなされた請求項15、同16の発明と同様の処理が、LDD構造の薄膜トランジスタを対象としてなされる。このため、LDD構造の薄膜トランジスタにおいて同様の効果が発揮される。

【0055】また、請求項25の発明においては、チャネル領域の水素の打ち込みが抑制される。

【0056】請求項26の発明においては、請求項23の発明におけるマスク兼用ゲート電極が、最下層の金

属、中層のシリサイド、上層のシリコンの状態で不純物の注入がなされる。このため、LDD構造は2段となる。なお、上層のシリコンは完成時その一部が残っていても、除去されていてもよい。なおまた、このため、金属層とシリコン層の厚さ、シリサイド層形成の温度や時間は、マスクとしての使用を考慮して定められる。

【0057】請求項27、同28の発明においては、各々LDD構造薄膜トランジスタを対象としてなされた請求項24、同25の発明と同様の処理が、2段LDD構造の薄膜トランジスタを対象としてなされる。このため、2段LDD構造の薄膜トランジスタにおいて請求項24、同25の発明と、更には請求項15、同16の発明と同様の効果が発揮される。

【0058】請求項29の発明においては、チャネル領域、ソース領域及びドレイン領域となる半導体薄膜と、層間絶縁膜と、ゲート電極と、ゲート絶縁膜と、ボトムゲート型ならば層間絶縁膜にトップゲート型ならばこれに加えてゲート絶縁膜に形成されたコンタクトホールを介して半導体薄膜に接続されるソース電極及びドレイン電極とを有する基板上に形成された薄膜トランジスタであって、半導体薄膜のソース電極及びドレイン電極と接続するためのコンタクトホールの形成される領域の半導体薄膜とソース電極及びドレイン電極間に電極と半導体層との電氣的接触を良好にするためのシリサイド層を有していることを特徴としている。

【0059】請求項30の発明においては、ソース電極及びドレイン電極は各々、多層構造か否かは別にして、ともかく各々ソース領域、ドレイン領域上の前記シリサイド層に接する部分は、シリサイドの原料金属と同一の金属であるため、単に材料手配の面だけでなく、電氣的接触が良好となる材料金属統一型ソース電極、材料金属統一型ドレイン電極であることを特徴としている。

【0060】請求項31及び同33の発明においては、請求項30及び同29の発明におけるシリサイドの原料金属は、チタン、ニッケル、プラチナ若しくはコバルトを含有しているため、請求項13の発明と同様の効果が発揮される。

【0061】請求項32、同34の発明においては、物の発明と方法の発明という相違はあるものの各々請求項15の発明と同様の構成と成り、同様の効果が発揮される事となる。

【0062】請求項35乃至同40の発明においては、物の発明と方法の発明という相違はあるものの各々請求項23乃至同28の発明と同様の構成と成り、同様の効果が発揮される。

【0063】

【発明の実施の形態】以下、本発明をその好ましい実施の形態に基づいて説明する。

【0064】（第1の実施の形態）本実施の形態は第1の発明群のものである。

【0065】図3は、本発明に係る薄膜トランジスタの製造方法の第1の実施の形態の内容、具体的には各処理に伴って薄膜トランジスタが製造されていく様子を示したものである。以下、本図を参照しながら、この手順を順に説明する。

(a) ガラス基板1上にアンダーコート SiO_2 膜2を全面に形成する。次いで、この上からTFTのソース電極及びドレイン電極を形成する位置にのみシリコン膜3を厚さ数百Å程度に形成する。なお、この形成位置や後述のTFTを形成する位置等は、基板というよりも液晶表示装置のパネル上の表示面の、ひいては画素やその駆動部の配置から定まる。更に、特定の位置にのみシリコン膜を形成する手段としては、一旦基板全面にシリコン膜を形成後、不必要部のシリコン膜を除去する等種々あるが、これはいわゆる周知技術であるため、その詳細な説明等は、本発明に直接関係する場合を除き省略する。そして、これは他の物質の膜についても同様である。

(b) TFTを形成する位置にのみシリコン膜4を厚さ数百Å程度に形成する。

【0066】これにより、後にソース電極及びドレイン電極とコンタクトを取る領域のシリコン膜は、同3と同4の二層構造であるため、チャネル領域より厚くなっている。なお、本実施の形態では、シリコン膜3、同4は、CVD法で成膜され、エキシマレーザーアニール等により多結晶化されている。

(c) ゲート絶縁膜5を基板上の全面に形成する。なお、このゲート絶縁膜5の形成方法としてはCVD法が望ましく、その厚みは数百Å程度である。

(d) 金属膜からなるゲート電極6をTFTの配置、形状から定まる所定の位置に形成する。ここでは、低抵抗の面からアルミ合金膜とした。

【0067】更に、基板全面に層間絶縁膜7を形成する。形成方法はCVD法によるもので、 SiO_2 膜を5000Åの厚みで形成した。なお、厚みは数千Åであればよい。

(e) コンタクトホールを形成するための前処理を行なう。具体的には、まずソース電極、ドレイン電極に対応した位置にコンタクトホールを形成するために、これに対応した位置のレジスト8の塗布、すなわち、レジストパターンを形成する。本図(e)においては、層間絶縁膜のコンタクトホール形成部にはレジストが形成されず孔80が設けられているのがわかる。

(f) 層間絶縁膜7とゲート絶縁膜5をドライエッチングで加工し、ソース電極、ドレイン電極それぞれに対応した位置にコンタクトホール9を形成する。なお、エッチングガスとしては CF_4 と CHF_3 と O_2 の混合ガスを用いて反応性イオンエッチング(RIE)を行う。

【0068】さてこの場合、コンタクトホールの下やその近傍のシリコン膜3、4は二層構成であるため、完全

に層間絶縁膜とゲート絶縁膜を除去するため多少のオーバーエッチングをかけてもシリコン膜が消失してしまうことはない。

【0069】ひいては、コンタクトホール底部に層間絶縁膜である SiO_2 が残ることはなく、逆に半導体層も充分存在し、良好なコンタクトホールの形成がなされることとなる。しかもこの際、コンタクトホール部のシリコン膜が充分厚いだけに、後述のソース電極、ドレイン電極とシリコン薄膜の接触面積も充分確保されることとなる。なおこれは、後述の他の実施の形態でも同様である。

(g) レジストパターンを除去した後、ソース電極及びドレイン電極形成用膜を全面に形成し、更にソース電極、ドレイン電極に対応した位置にのみ上記電極形成用膜を残して他はエッチングする。これにより、コンタクトホールを介して半導体層に良好に接触するソース電極10、ドレイン電極11が形成される。

【0070】なお、以上の他必要に応じてソース電極部、ドレイン電極部、ゲート電極部への不純物たるPやBイオンの打ち込み等がなされるのは勿論であるが、これらはいわゆる周知技術であるため、その説明は省略する。そしてこのことは、他の実施の形態でも同様である。

【0071】以上説明してきたように、本実施の形態によれば、コンタクトホールを形成する工程において絶縁膜の下で半導体膜が厚く設けられているため、絶縁膜除去のためのドライエッチングの際に、余裕をもってオーバーエッチングをかけることができる。このため、基板全面にわたって良好なコンタクトホールを形成することが可能となる。

【0072】しかも、単にコンタクトホールと電極との接触が良好になるだけでなく、コンタクトホール形成部の外周部には厚膜部の形成上の制約もあり(コンタクトホールの直径と丁度同じ直径の厚膜部とすることは困難であり、このためどうしてもコンタクトホールの直径よりも多少大きくなる)円筒状にシリコンが存在するため、当該コンタクトホール内に形成されたソース電極、ドレイン電極とシリコン膜との接触面積が増加する。このため、この面からも接触抵抗が少なくなる。

【0073】しかも更に、トランジスタ素子としての基本的な機能発揮に関係の深いチャネル領域は最初から薄膜のままであるため、レーザーアニールによる溶融、再結晶化に不都合が生ぜず、ひいては結晶粒子の大きいシリコンよりなるため、素子としての基本性能の劣化もない。なお、これらのことは後述の第2～第4の実施の形態でも同様である。

【0074】更に、オーバーエッチングに対して余裕があるため、コンタクトホール形成時に作業者、監視者の精神的な余裕も生じ、ひいてはこの面からも生産性も向上する。

【0075】また、以上の方法で薄膜トランジスタを製造することにより、大きなパネル基板全面にわたって安定的にドライエッチングでコンタクトホールを形成する事ができる。すなわち、どのトランジスタも良好なコンタクト抵抗と安定した特性を得る事ができる。なお、これらの効果は、後述の全ての実施の形態でも同様である。

【0076】(第2の実施の形態)図4は、本発明に係る薄膜トランジスタの製造方法の第2の実施の形態を示したものである。

【0077】以下、本図を参照しながらこの手順を説明する。

(a) 基板(ガラス基板)1上にアンダーコート SiO_2 膜2を全面に形成する。次いでこの上からTFETを形成する位置にのみシリコン膜3を厚さ数百Å程度に形成する。

(b) その上から、TFETのソース電極とドレイン電極を形成する位置にのみ選択的にシリコン膜を形成することとなる。その具体的手段としてはリフトオフ法を採用する。このため、まずソース電極、ドレイン電極に対応した位置にシリコン膜を形成するため、当該部を除いた位置にレジストの塗布、すなわちレジストパターン8を形成する。ひいては、当該部のレジスト層に開口80が形成される。

(c) その上からシリコン膜を全面に厚さ数百Å程度形成する。このため、第1層のシリコン膜上では、ソース電極、ドレイン電極が形成される部分及びその近傍のみ第2のシリコン膜41、42が形成されることとなり、その他の部分はレジスト層がいわば遮蔽となり形成されない。

(d) 開口部を除いた上表面に第2のシリコン層の形成されたレジストパターンをその上表面のシリコン層40ごと除去する。従って、第2のシリコン膜は、ソース電極とドレイン電極を形成する位置に形成されたもののみ選択的に残されることとなる。

【0078】以上により、後にソース電極及びドレイン電極と接続される(コンタクトを取る)領域はシリコン膜が二層構造となり、このためチャネル領域より厚くなっている。

(e) シリコン膜3、41、42をエキシマレーザーアニール等の手段により同時に多結晶化してポリシリコン膜とする。しかる後、先の第1の実施の形態と同様に、ゲート絶縁膜5、ゲート電極6、層間絶縁膜7、コンタクトホール9、ソース電極10、ドレイン電極11を形成してTFETを作製する。

【0079】以上の説明でわかるように、本実施の形態においても先の実施の形態と同様、ソース電極とドレイン電極部の半導体膜が厚く形成されているため、コンタクトホールを形成する際に、余裕をもってオーバーエッチングをかけることが可能となる。このため、絶縁膜は

完全に除去され、この一方で充分な半導体層が存在することとなる。ひいては、基板全面のトランジスタにわたって良好なコンタクトホールを形成することができる。

【0080】(第3の実施の形態)図5は、本発明に係る薄膜トランジスタの第3の実施の形態の製造方法を示したものである。以下、本図を参照しながらこの製造方法を説明する。

(a) 基板(ガラス基板)1上にアンダーコート SiO_2 膜2を全面に形成する。次いでこの上面のTFETを形成する位置にのみシリコン膜3を広いそして微細構造の液晶表示装置のTFETとしての機能発揮のため本来必要とする厚さより厚め、具体的には、数百~数千Å程度に形成する。

(b) ソース電極とドレイン電極を形成する位置のみシリコン膜が厚くなるように加工する。具体的には、まずソース電極、ドレイン電極に対応した位置にのみレジスト81、82を塗布する。すなわちレジストパターンを形成する。

(c) レジストパターンをマスクとしてシリコン膜をエッチングして本来必要な厚さたる数百Åとする。このため、レジストの存在する部分のシリコン膜41、42のみ厚いままである。

(d) レジストパターンを除去する。これにより、ソース電極とドレイン電極を形成する位置及びその近傍のみシリコン膜が厚く残っている。その後、シリコン膜をエキシマレーザーアニール等の手段により多結晶化してポリシリコン膜とする。なおここで、2度の手順で形成されたシリコン膜を1度の手順でレーザーアニールするのは、レーザーアニールの回数そのものの削減を図ると共に、2つのシリコン層を通しての結晶化、ひいては特性の向上を期したことによる。

(e) 以下、先の実施の形態と同様に、ゲート絶縁膜5、ゲート電極6、層間絶縁膜7、コンタクトホール9、ソース電極10、ドレイン電極11を形成してTFETを作製する。

【0081】以上の説明でわかるように、本実施の形態においても先の実施の形態と同様に、コンタクトホールを形成する際、ソース電極とドレイン電極部の半導体膜があらかじめ厚く設けられているため、充分余裕をもってオーバーエッチングをかけることが可能となる。ひいては、絶縁膜の完全な除去を図りつつ、充分な半導体膜を残すことが可能となり、基板全面のトランジスタにわたって良好なコンタクトホールを形成することができる。

【0082】(第4の実施の形態)本実施の形態は、ボトムゲート型トランジスタに関する。

【0083】図6に、本実施の形態のトランジスタの断面構造を示す。

【0084】本図において、1はガラス基板である。2は、アンダーコートとしての SiO_2 膜である。3は、

ポリシリコン膜である。5は、ゲート絶縁膜である。6は基板上に形成されたゲート電極である。7は層間絶縁膜である。10は、ソース電極である。11は、ドレイン電極である。

【0085】本図に示すように、ソース電極及びドレイン電極部及びその近傍のポリシリコン膜41、42は、他の部分よりも厚く形成されている。

【0086】このため、先の各実施の形態と同じくドレイン電極及びソース電極形成のために層間絶縁膜にコンタクトホールを形成する際、ポリシリコン膜を削り取ってしまうという危険性がない。更に、ソース電極、ドレイン電極とポリシリコン膜との接触面積も充分確保され、この一方チャネル領域のポリシリコンの性能低下の恐れもない。

【0087】なお、本実施の形態のTFTの製造方法は、基本的には先の各実施の形態と同じ技術を使用するため、その説明は省略する。

【0088】(第5の実施の形態) 本実施の形態及びこれ以降第7の実施の形態までは、第2の発明群についてのものである。

【0089】本実施の形態の薄膜トランジスタの製造方法について図7を参照しながら説明する。

【0090】(a) ガラス基板1上にアンダーコート SiO_2 膜2を全面に形成する。次いでこの上から薄膜トランジスタを形成する位置にのみ選択的にポリシリコン膜3を形成する。

【0091】(b) 全面にゲート絶縁膜5をCVD法で厚み数百Å程度に形成する。

【0092】(c) ソース電極、ドレイン電極の形成される位置のゲート酸化膜51を除去する。

【0093】なお、この除去方法としては、できるだけポリシリコン膜にダメージが入らないようにウエットエッチングで選択的にゲート酸化膜だけを除去するのが望ましく、エッチング液としては希釈した弗酸もしくは弗酸と弗化アンモニウム液の混合液を用いる。

【0094】(d) 基板全面にチタン膜15と電気抵抗の低いアルミ合金膜16を積層する。厚みはそれぞれ数千Åとする。

【0095】その後、ガラス基板の耐熱限界に対して充分余裕のある300～400℃程度で1時間程度熱処理を行う。この際ソース電極、ドレイン電極になる位置のゲート絶縁膜は除かれているので、ポリシリコン膜とチタン膜が直接接触しており、この領域ではシリコンがチタン膜側に熱で拡散していき、電気的接触の確実確保とドライエッチング時のストッパーとして充分な厚さのチタンシリサイド膜17が形成される。

【0096】なお、このチタン膜を形成する際、スパッタ法で形成すると熱処理を行わなくとも十分に界面にチタンシリサイド膜を形成することができる。また、この金属膜がチタンでなくとも、200～450℃程度でシ

リコン、特にポリシリコンとシリサイド膜形成する金属であればよく、たとえばチタン以外にもニッケル、プラチナ、コバルトなどを挙げることができる。

【0097】(e) ゲート電極を形成する。

【0098】具体的には、まずゲート電極に対応したレジストパターン8を形成し、次いで既に形成されているアルミ合金膜とチタン膜をエッチングする。この際のエッチングは、アルミ合金膜はドライエッチング、ウエットエッチングのいずれでもよい。しかしチタン膜は、ウエットエッチングで行う。これはポリシリコン膜やチタン膜と同じくチタンを含むチタンシリサイド膜にダメージを与えないためである。なおこの際、ソース電極、ドレイン電極に対応した部分では、シリコンと反応しなかったチタン膜が除去されることになる。

【0099】この工程によってソース電極、ドレイン電極になる位置のみポリシリコン膜の表面がシリサイド化したことになる。

【0100】(f) レジストパターンを除去し、さらに全面に層間絶縁膜7を形成する。形成方法はCVD法によるもので、 SiO_2 膜を500Åの厚みで形成した。なお、厚みとしては数千Åであればよい。

【0101】(g) ゲート電極、ソース電極、ドレイン電極に対応した位置にコンタクトホールを形成する。

【0102】具体的には、対応した位置にコンタクトホールを形成するため、当該を除きレジスト層を形成する。すなわち、レジストパターン81を形成する。この後、ドライエッチングでゲート電極、ソース電極、ドレイン電極に対応した位置にコンタクトホール9を形成する。

【0103】この際、 CF_4 / CHF_3 / O_2 の混合ガスを用い、反応性イオンエッチング(RIE)を行う。さて、ソース電極、ドレイン電極部分に形成されているシリサイド膜は、このドライエッチングガスでは(実用上)全くエッチングされない。

【0104】従って、形成されている層間絶縁膜とは選択比が十分に高く取れるので、たとえシリサイド層が薄くても、少々オーバーエッチングをかけてもポリシリコン膜にダメージが入ることはない。

【0105】これによってコンタクトホール底部に層間絶縁膜である SiO_2 が残ったり、基板内でのエッチングレートばらつきによるエッチング不良が発生したりすることなく良好なコンタクトホールを形成することができる。

【0106】(h) レジストパターンを除去した後、全面に再度シリサイドを構成する金属と同じ、ひいてはそれだけシリサイドと接触性のすぐれるチタン膜を薄く、次いで同じ金属であるためチタン膜と良好に接触し、しかも電気抵抗の低く、更に層間絶縁膜でエッチングされないアルミ合金膜を全面に形成する。このもとで、ゲート電極、ソース電極、ドレイン電極に対応した位置にの

み上記チタン膜92とアルミ合金膜93を残して、他の場所はエッチングにてこれら両金属膜を除去することでゲート電極6、ソース電極10、ドレイン電極11を形成する。

【0107】以上のように本実施の形態によれば、半導体膜とソース電極及びドレイン電極との間に両者と確実に接触するように形成されたシリサイド膜が介在することになるため、コンタクト抵抗を低減することができると共に、層間絶縁膜等のドライエッチングの際に、エッチングガスに対して高い選択性(耐性)を持つことができるため、結果的に、オーバーエッチングに基づく半導体層へのダメージも低減することができる。

【0108】なお、実験の結果では、コンタクトホール径が5 μ m、特に4 μ m以下の場合に電気抵抗低下の効果が大きいのが判明した。

【0109】また、半導体の膜厚が650Å以下の場合に電気抵抗低下の効果が大きいのが判明した。

【0110】そして、これらのことは、後に説明する第6、第7の実施の形態でも同様である。

【0111】更に、先の第1から第4の実施の形態と同様の効果も得られる。

【0112】(第6の実施の形態)以下、本発明の他の実施の形態の薄膜トランジスタの製造方法について図8を参照しながら説明する。

【0113】(a) ガラス基板1上にアンダーコート層としてのSiO₂膜2を全面に形成する。次いでこの上から薄膜トランジスタを形成する位置にのみ選択的にポリシリコン膜3を形成する。

【0114】(b) ソース電極及びドレイン電極に対応した位置にのみチタンシリサイド膜17を形成する。なお、必要部分のみ選択的にチタンシリサイド膜を形成する方法としては以下の2つの方法がある。

【0115】第1の方法では、チタンシリサイド膜を形成したい位置にのみ開口部を有するレジストパターンを形成しておき、その上からチタン膜を全面に形成した後、レジストパターンをリフトオフ法で除去し、選択的に必要な部分のみチタン膜を残す。その後、300~450℃程度で約1時間程度の熱処理を行い、チタン膜とポリシリコン膜を反応させて、両者の界面にチタンシリサイド膜17を形成する。更に、その後反応しなかったチタン膜を除去するために酸系のエッチング液で処理をする。なお、チタン膜を形成する方法としてスパッタ法を用いた場合には熱処理を省くか若しくは時間を短縮することができる。

【0116】第2の方法では、ポリシリコン膜を形成した後、全面にチタン膜を形成し、その後ソース電極及びドレイン電極に対応した位置にのみレジストパターンを形成し、酸系のエッチング液で不要部分のチタン膜を除去し、ソース電極、ドレイン電極の上のみチタン膜を残す。ただしこの場合にはチタン膜は抵抗加熱法もし

くはEB蒸着法で形成するに限る。

【0117】その後、上記に示したような熱処理を行って両者の界面にチタンシリサイド膜を形成する。その後反応しなかったチタン膜を除去するために酸系のエッチング液で処理をする。

【0118】(c) CVD法で厚さ数百Å程度のゲート絶縁膜5を全面に形成する。

【0119】(d) 全面に、最初チタン膜22、ついでアルミ合金膜23を積層する。厚みはそれぞれ数千Åとした。

【0120】(e) ゲート電極を形成する。具体的には、まずゲート電極に対応したレジストパターン8を形成し、次いでアルミ合金膜とチタン膜をエッチングする。なお、この際のエッチングは、アルミ合金膜はドライエッチング、ウエットエッチングのいずれでもよい。

【0121】(f) レジストパターンを除去した後に、全面に層間絶縁膜7を形成する。形成方法はCVD法によるSiO₂膜で、厚みは5000Åとしたが、厚みとしては数千Å程度であればよい。

【0122】(g) コンタクトホールを形成する。具体的には、まずゲート電極、ソース電極、ドレイン電極に対応した位置にコンタクトホール9を形成するために、当該部を除いてレジストで覆う、すなわちレジストパターン81を形成する。その後、ドライエッチングでゲート電極、ソース電極、ドレイン電極に対応した位置にコンタクトホールを形成する。なお、この際CF₄/CHF₃/O₂の混合ガスを用いて反応性イオンエッチング(RIE)を行う。

【0123】さて、ソース電極、ドレイン電極部分に形成されているシリサイド膜はこのドライエッチングガスでは(実用上)全くエッチングされない。従って形成されている層間絶縁膜とは選択比が十分に高く取れるので、オーバーエッチングをかけてもポリシリコン膜にダメージが入ることはない。

【0124】これによってコンタクトホール底部91に層間絶縁膜であるSiO₂が残ったり、基板内でのエッチングレートばらつきによるエッチング不良が発生したりすることなく良好なコンタクトホールを形成することができる。

【0125】(h) レジストパターンを除去した後に、全面に再度チタンシリサイドと接触性の良好なチタン膜を薄く、次いで同じ金属であるためチタン膜と接触性が良好かつ電気抵抗の低いアルミ合金膜23(というよりも、チタン膜と比較すれば、厚膜)をコンタクトホール深さ以上の厚さで全面に形成して、ゲート電極、ソース電極、ドレイン電極に対応した位置にのみ上記チタン膜92とアルミ合金膜93を残して他はエッチングすることでゲート電極6、ソース電極10、ドレイン電極11を形成する。

【0126】本実施の形態においても、先の実施の形態

と同様に、半導体膜とソース・ドレイン電極との間にシリサイド膜が介在することになるため、コンタクト抵抗を低減することができるとともに、層間絶縁膜等のドライエッチングの際に、高い選択性を持つことができるため、結果的に、オーバーエッチングに基づく半導体層へのダメージも低減することができる。

【0127】(第7の実施の形態) 本実施の形態は、ボトムゲート型トランジスタに関する。

【0128】図9に、本実施の形態のトランジスタの断面構造図を示す。

【0129】本図において、1はガラス基板である。2は、アンダーコートとしての SiO_2 膜である。3は、ポリシリコン膜である。5は、ゲート絶縁膜である。6は基板上に形成されたゲート電極である。7は層間絶縁膜である。10は、ソース電極である。11は、ドレイン電極である。

【0130】本図に示すように、ソース電極及びドレイン電極部及びその近傍のポリシリコン膜上にチタン、シリサイド薄膜17が形成されている。

【0131】このため、先の第5及び第6の実施の形態と同じくドレイン電極及びソース電極形成のために層間絶縁膜にコンタクトホールを形成する際、ポリシリコン膜を削り取ってしまうという危険性がない。

【0132】更に、ソース電極、ドレイン電極とポリシリコン膜との電気的接触も充分確保され、この一方チャネル領域のポリシリコンの性能低下の恐れもない。

【0133】なお、本実施の形態のTFTの製造方法は、基本的には先の第5及び第6の実施の形態と同じ技術を使用するため、その説明は省略する。

【0134】(第8の実施の形態) 本実施の形態は、第1の発明群と第2の発明群との両方を採り入れたトランジスタに関する。

【0135】図10にこれを示す。本図の(a)は、図3の(g)に示すトランジスタのソース電極及びドレイン電極下部にシリサイド層17を形成したものである。本図の(b)は、図6に示すトランジスタのソース電極及びドレイン電極下部にシリサイド層17を形成したものである。

【0136】ただし、これらは既に説明した実施の形態と同様の手順で製造しうるため、その説明は省略する。

【0137】この構成により、ドレイン電極及びソース電極が細径化しても、確実に電極と半導体層との電気的接触が図れることとなる。

【0138】(第9の実施の形態) 本実施の形態は、図7に示す先の第5の実施の形態の応用例である。

【0139】以下、先の第5の実施の形態と相違する点についてのみ、同じく相違する点のみ示した図11を参照しつつ説明する。

【0140】先ず、(d)の段階までは、図7と同じである。

【0141】(e-1)図7の(e)の段階にて、多層構造のゲート電極を形成する最下層のチタン層151を、その上部のアルミ層161よりもドレイン電極側及びソース電極側へ1~4 μm 程食み出した形とする。

【0142】(e-2)次いで、このゲート電極をマスクとして、上部より不純物イオン(図では、P)を打ち込む。

【0143】さてこの場合、アルミ層とチタン層が重なったチャネル領域には、マスクが充分厚いため不純物イオンは侵入しない。チタン層のみの部分では、マスクが少し薄いため不純物イオンは多少侵入する。その他の部分は、マスクが存在しないため不純物イオンは多く侵入する。従って、LDD構造のトランジスタが容易に製造されることとなる。

【0144】(f-1)図7の(f)の段階と同じく、層間絶縁膜7を形成する。

【0145】以降、図7と同じである。

【0146】なお、本実施の形態では、チャネル領域及びLDD領域のマスクに、水素との結合能力が高いチタンを使用するため、不純物の原料ガスや希釈ガスから発生した高エネルギーの水素イオンの半導体部への侵入が多少とも抑制される。このため、非常にすぐれた製品となった。

【0147】(第10の実施の形態) 本実施の形態も、図7に示す先の第5の実施の形態の応用例である。

【0148】以下、先の第5の実施の形態と相違する点についてのみ、同じく相違する点のみ示した図12を参照しつつ説明する。

【0149】先ず、(c)の段階までは、図7と同じである。

【0150】(d-1)図7の(d)の段階にて、ソース電極部とドレイン電極部152のみならずゲート電極部153にもチタン膜のみ形成する。

【0151】(d-2)ゲート電極部のチタン膜の上部に、ドレイン電極側及びソース電極側へ1~4 μm 程食み出した形でシリコン膜155を形成する。

【0152】(d-3)熱処理により、ソース電極部とドレイン電極部のチタン膜152とその下部のシリコンのみならずゲート電極部のチタン膜とその上部のシリコン膜を反応させてシリサイド層を形成させる。ただしこの際、ゲート電極部のチタン膜1530とその上部のシリコン膜1550は、その全てが反応せず、チタン膜とシリコン膜の間にシリサイド層1540が形成されるようにしておく。

【0153】(d-3-1)次いで、このゲート電極をマスクとして、上部より不純物イオン(図では、P)を打ち込む。

【0154】さて、シリサイドの不純物イオンの遮蔽能力は、チタン(密度4.5)とシリコン(密度2.3)の略中間である。従って、このゲート電極の遮蔽能力は

3段階に変化することとなる。すなわち、シリコン層とシリサイド層とチタン層が重なったチャネル領域には、マスクが充分であるため不純物イオンは侵入しない。シリサイド層とシリコン層の部分では、マスクが密度と形状の面から少し厚いため不純物イオンは少し侵入する。シリコン層のみの部分では、マスクが薄いため不純物イオンは多少侵入する。その他の部分は、マスクが存在しないため不純物イオンは多く侵入する。従って、2段LDD構造のトランジスタが容易に製造されることとなる。

【0155】(f-1)図7の(f)の段階と同じく、層間絶縁膜7を形成する。

【0156】以降、図7と同じである。

【0157】なお、本実施の形態では、チャネル領域及びLDD領域のマスクに、水素との結合力が高いチタン化合物を使用するため、不純物の原料ガスや希釈ガスから発生した高エネルギーの水素イオンの半導体部への侵入が抑制される。しかも2段LDD構造を有する。このため、非常にすぐれた、製品となった。

【0158】以上、本発明を幾つかの実施の形態に基づいて説明してきたが、本発明は何も以上に限定されないのは勿論である。すなわち、本発明の主旨は、素子としての基本的性能発揮の面から薄膜の半導体(材料)を使用する微細なトランジスタ(素子)やその製造において、半導体薄膜を覆う絶縁膜にソース電極、ドレイン電極を形成するためのコンタクトホールを形成する場合に、どのような手段であれ絶縁膜材質と半導体材料との化学的性質が似るため、そのままでは正確な深さのコンタクトホールの形成が困難なときに、コンタクトホール部の半導体膜に余裕を持たせつつ、チャネル部は薄膜のままとしておくことにある。

【0159】また、ソース電極、ドレイン電極と半導体層との確実な電氣的接触を図るためシリサイドを利用することにある。そして、ポリシリコンやアモルファスシリコンは、クリスタルシリコンと異なり、チタン等の金属と充分低い温度でシリサイドを形成するのに着目したことにある。

【0160】従って、この主旨に反しない限り、本発明に含まれることとなる。具体的には、例えば以下のようになっている。

- 1) 実施の形態ではシリコン膜のエッチング加工後に多結晶化工程を行なっているが、先に多結晶化してからエッチング加工を行なっている。
- 2) 基板は石英等としている。
- 3) 各薄膜の形成は、他の方法としている。
- 4) ゲート電極等の材料は、銅や銀等他の金属等としている。
- 5) 半導体として、シリコンでなく、半導体としての性質や化学的性質がシリコンに近いSi-Ge、Si-Ge-C等、更には将来の技術の発達のもと、薄膜トラン

ジスタ用半導体としてシリコン系統でなく、何か他の物質を使用している。

6) 将来の技術の発達のもとで、第2のシリコン膜等のドライエッチングに際しての膜厚の余裕を小さくしている。

【0161】同じく、ソース電極、ドレイン電極を形成する部分におけるシリコンの膜厚に余裕を持たせた領域の広さ(いわば、平面的余裕)を1 μ m以下あるいは0等小さくしている。

【0162】シリサイドの直径も、両電極に対して、多少余裕を持たせたり、何らかの理由で逆に小さくしたりしている。

7) パネルの大きさは問わない。

【0163】同じく、シリサイドの直径は、本発明の効果が特に大きい4 μ m以下でなく、10 μ m以上としている。

【0164】同じく、半導体層の厚さは、本発明の効果が特に大きい650Å以下でなく、1000Å以上としている。

8) コンタクトホール形状は、円筒形でなく、下窄まり等としている。

9) LDDは、浮遊容量減少のため、ソース電極かドレイン電極の一方側のみとしている。

【図面の簡単な説明】

【図1】 従来のTFTの断面構造図である。

【図2】 従来の薄膜トランジスタの製造方法において、トランジスタが形成されていく様子を示す図である。

【図3】 本発明の第1の実施の形態において、トランジスタが形成されていく様子を示す図である。

【図4】 本発明の第2の実施の形態において、トランジスタが形成されていく様子を示す図である。

【図5】 本発明の第3の実施の形態において、トランジスタが形成されていく様子を示す図である。

【図6】 本発明の第4の実施の形態としての薄膜トランジスタ(ボトムゲート型)の断面構造図である。

【図7】 本発明の第5の実施の形態において、トランジスタが形成されていく様子を示す図である。

【図8】 本発明の第6の実施の形態において、トランジスタが形成されていく様子を示す図である。

【図9】 本発明の第7の実施の形態としての薄膜トランジスタ(ボトムゲート型)の断面構造図である。

【図10】 本発明の第8の実施の形態としての薄膜トランジスタの断面構造図である。

【図11】 本発明の第9の実施の形態において、トランジスタが形成されていく様子を示す図である。

【図12】 本発明の第10の実施の形態において、トランジスタが形成されていく様子を示す図である。

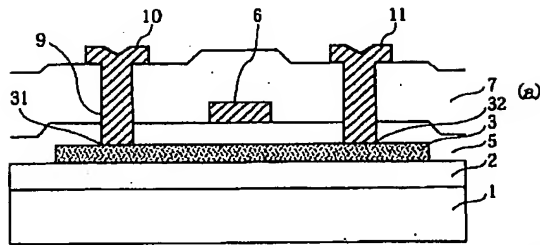
【符号の説明】

1 ガラス基板

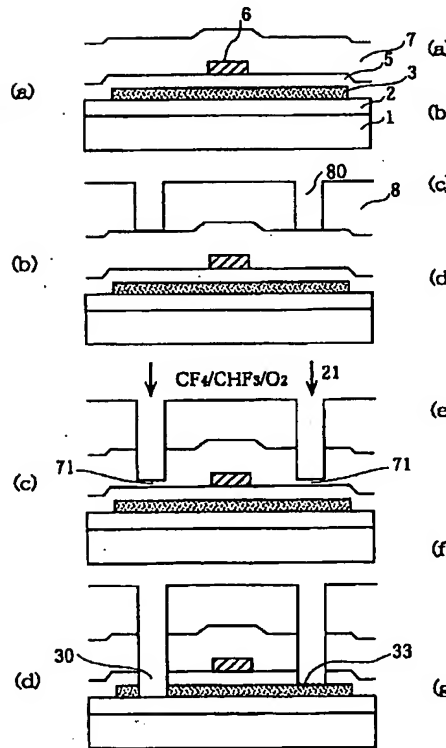
- 2 アンダーコート層
- 3 半導体層
- 30 半導体層のなくなった部分
- 31 ソース電極部の半導体層
- 32 ドレイン電極部の半導体層
- 33 ダメージを受けた半導体層
- 4 シリコン膜
- 40 レジスト上のシリコン膜
- 41 穴底部のシリコン膜
- 42 穴底部のシリコン膜
- 5 ゲート絶縁層
- 51 ゲート酸化膜
- 6 ゲート電極
- 7 層間絶縁膜
- 71 層間絶縁膜の最下部
- 8 レジストパターン
- 80 レジストパターンの開口

- 81 パターン化したレジスト
- 82 パターン化したレジスト
- 9 コンタクトホール
- 91 コンタクトホール底部
- 10 ソース電極
- 11 ドレイン電極
- 15 チタン膜
- 151 チタン層
- 1530 ゲート電極部のチタン膜
- 1540 ゲート電極部のシリサイド膜
- 1550 ゲート電極部のシリコン膜
- 16 アルミ合金膜
- 161 アルミ層
- 17 チタンシリサイド膜
- 21 ドライエッチング用ガス
- 22 チタン膜
- 23 アルミ合金膜

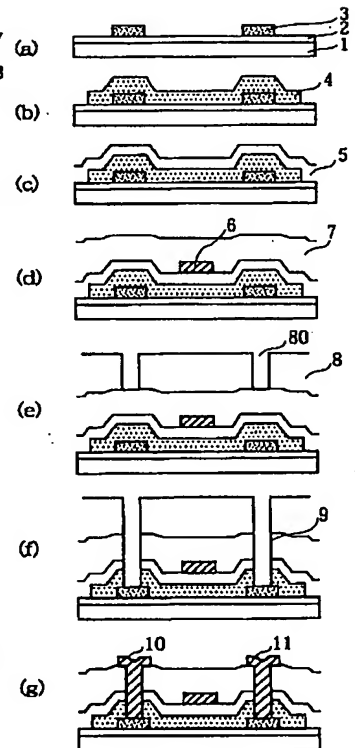
【図1】



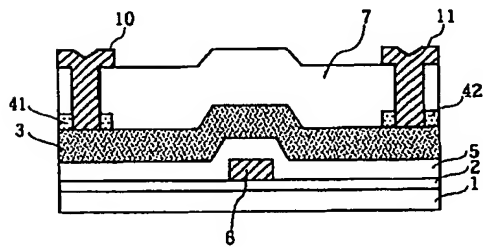
【図2】



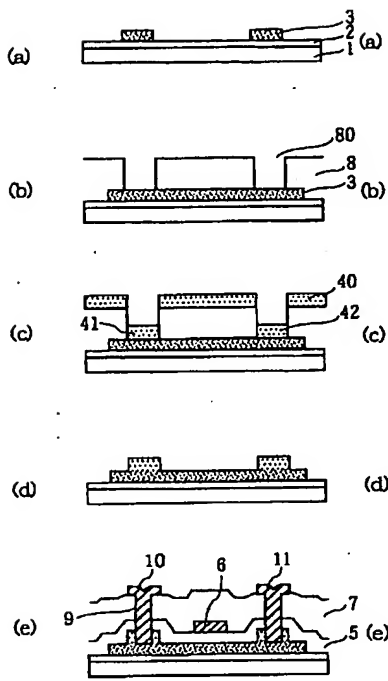
【図3】



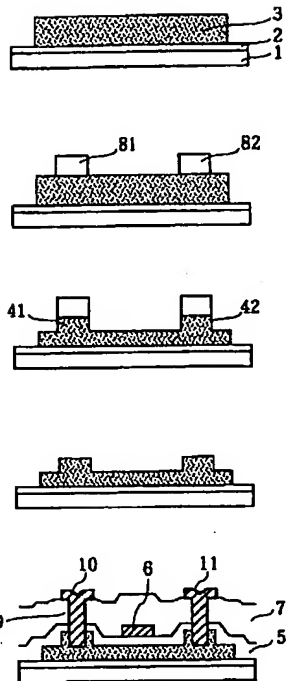
【図6】



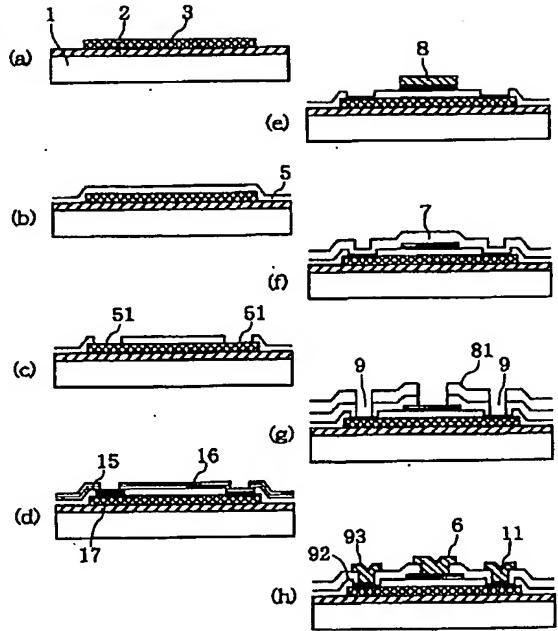
【図4】



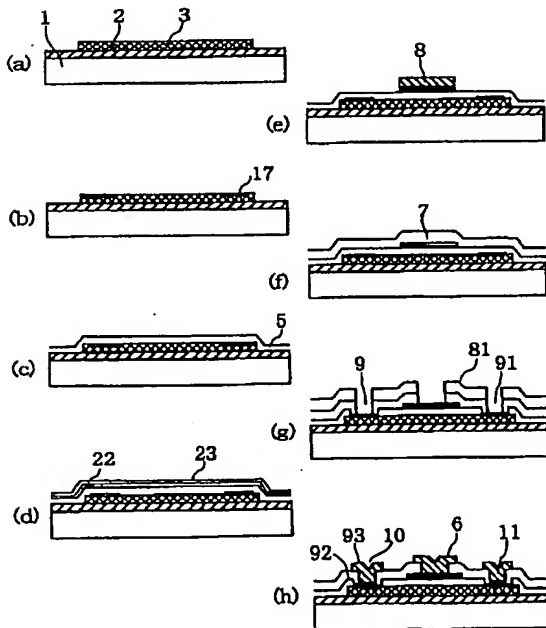
【図5】



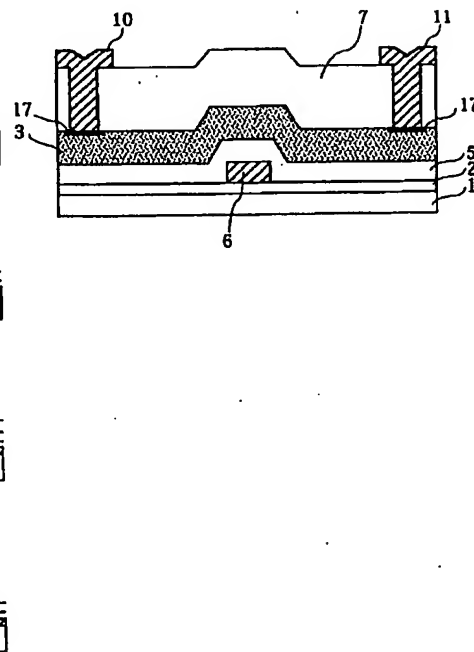
【図7】



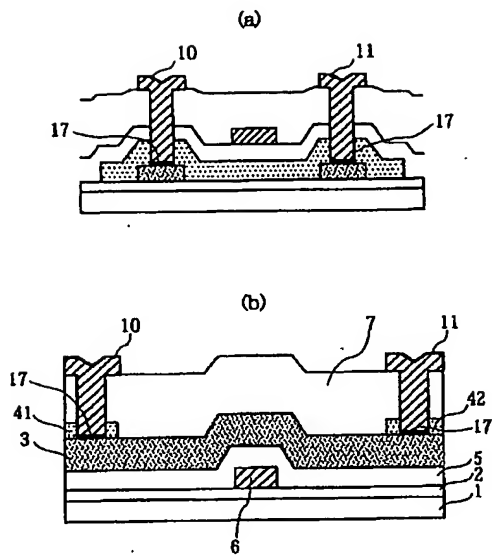
【図8】



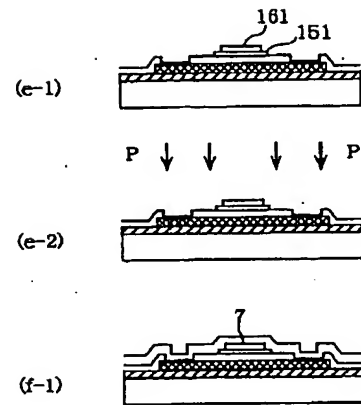
【図9】



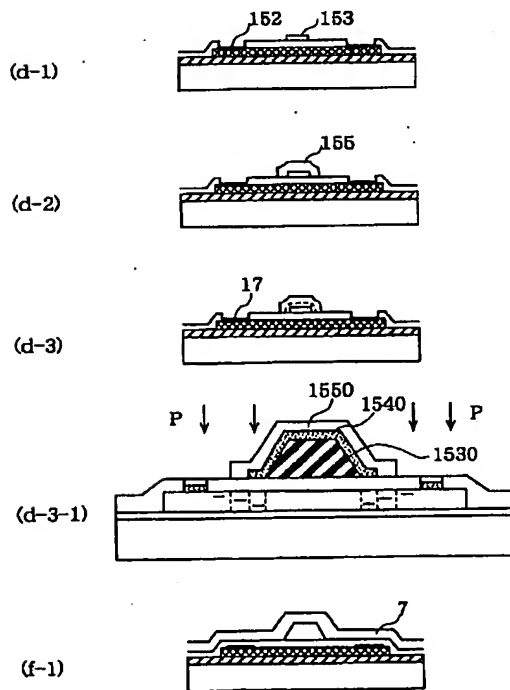
【図10】



【図11】



【図12】



フロントページの続き

(72)発明者 生田 茂雄
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム(参考) 2H092 GA29 JA25 JA26 JA34 JA37
JA41 JA46 KA04 KA10 KB25
MA05 MA18 MA19 MA27 MA29
MA30 NA24 NA27 NA29
5F110 AA30 BB01 CC06 DD02 DD03
DD13 EE02 EE03 EE04 EE14
EE44 FF02 FF29 GG01 GG02
GG13 GG24 GG44 HJ01 HJ13
HL03 HL05 HL11 HL23 HM12
HM15 HM17 NN02 NN23 PP03
QQ02 QQ04 QQ05